

BEST AVAILABLE COPY

Also published as:

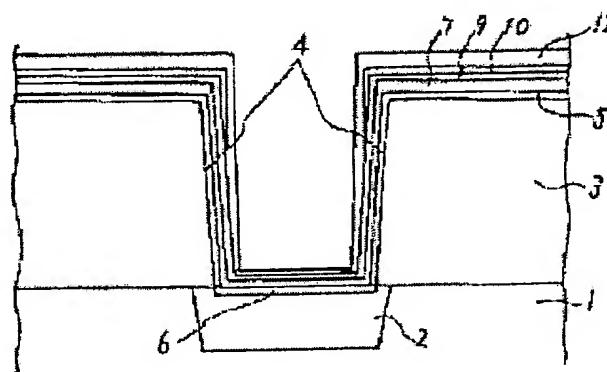
JP9213656 (A)

Patent number: JP9213656
Publication date: 1997-08-15
Inventor: ISHIDA TOMOHIRO
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: H01L21/28; H01L21/28; H01L21/768
- european:
Application number: JP19960017614 19960202
Priority number(s):

Abstract of JP9213656

PROBLEM TO BE SOLVED: To enable a control of the eutectic reaction of an Al film to a titanium film and to bury a conductive layer in a high-aspect ratio open part with good accuracy by a method wherein a reaction preventive film is formed on the upper surface of the titanium film extending from the prescribed height of the sidewall of the open part to the upper surface of an interlayer insulating film.

SOLUTION: A TiN film 10, which is a reaction preventive film, is selectively formed on the upper surface of an interlayer insulating film 3 and the upper part of the sidewall in the interior of a contact hole 4. Thereby, a Ti film 9 only being exposed in the interior of the hole 4 reacts with an Al film 12. Accordingly, the excessive eutectic reaction of the film 12 to the film 9 can be prevented from being generated. Moreover, as the existing part of the film 9, which reacts, is limited, the Ti film 9, which acts, can be controlled by controlling the film thickness of the film 9 situated at the part. Accordingly, a control of the eutectic reaction becomes possible and the hole can be filled with the film 12 with good accuracy.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-213656

(43)公開日 平成9年(1997)8月15日

| | | | | |
|---|-------------|----------------------|---------------------------------------|--------|
| (51)Int.Cl. H01L 21/28 | 識別記号 301 | 序文整理事号 H01L 21/28 | P I 301L 301R 301T L C | 技術表示箇所 |
| 21/768 21/90 審査請求 未請求 請求項の数7 OL (全7頁) 最終頁に続く | | | | |

(21)出願番号 特願平8-17614

(71)出願人 000006013

三菱電機株式会社

京都府千代田区丸の内二丁目2番3号

(22)出願日 平成8年(1996)2月2日

(72)発明者 石田 友弘

京都府千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 弁理士 宮田 金雄 (外3名)

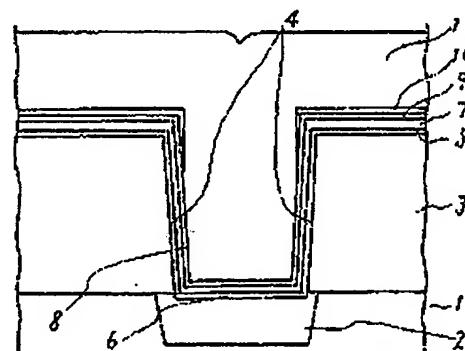
(54)【発明の名称】 半導体基板およびその製造方法

(57)【要約】

【課題】 高アスペクト比開口部にA1膜11を埋め込む工程において、A1膜12とT1膜9との共晶反応を利用しているが、共晶反応の制御が難しく埋め込みが不十分になる。

【解決手段】 T1膜9とA1膜12との間の一部分に、反応防止膜であるTiN膜10を形成した。

【効果】 T1膜9の一部分をTiN膜10で覆って共晶反応させたので、共晶反応の制御が可能になり、開口部へのA1膜11の埋め込み精度が向上する。



| | |
|------------|------------|
| 1: 基板 | 7: TiN膜 |
| 3: 電離絶縁膜 | 8: 共晶膜 |
| 4: ビアクトホール | 9: 第1のTi膜 |
| 5: 第2のTi膜 | 10: TiN膜 |
| 6: アルミニウム膜 | 11: 第1のAl膜 |

特開平9-213656

(2)

1

2

【特許請求の範囲】

【請求項1】 下部導電層の上層に層間絶縁膜が形成され、前記層間絶縁膜に開口部が形成され、前記開口部に導電体を埋め込んで前記下部導電層と電気的に接続された上部導電層を備えた半導体装置において、前記上部導電層が、前記開口部の底部から側壁の所定の高さにまで形成されたチタンとアルミニウムまたはその合金との共晶膜と、前記開口部の側壁の所定の高さから前記層間絶縁膜の上面にかけて下層から順に形成された第1のチタン膜と前記第1のチタン膜とアルミニウムまたはその合金との共晶反応を防止する反応防止膜との積層膜と、前記積層膜と前記共晶膜との上層に形成された第1のアルミニウムまたはその合金膜とで構成されていることを特徴とする半導体装置。

【請求項2】 反応防止膜が、チタンの窒化膜、酸化膜または塗装化膜であることを特徴とする請求項1記載の半導体装置。

【請求項3】 層間絶縁膜の上層には第2のチタン膜が、開口部の底部に露出している下部導電層の表層部にはチタンシリサイド層がそれぞれ形成され、前記第2のチタン膜と前記チタンシリサイド層との上層にはチタン窒化膜が形成され、前記チタン窒化膜の上層に積層膜および共晶膜が形成されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 下部導電層の上層に層間絶縁膜を形成する工程と、前記層間絶縁膜の所定の位置に開口部を形成する工程と、前記開口部の内部を含む全面に第1のチタン膜を形成する工程と、前記開口部の側壁の所定の高さから前記層間絶縁膜の上面にかけての前記第1のチタン膜の上層に反応防止膜を形成する工程と、前記第1のチタン膜と前記反応防止膜との上層に第2のアルミニウムまたはその合金膜を形成する工程と、前記第2のアルミニウムまたはその合金膜の上層に第1のアルミニウムまたはその合金膜を形成すると同時に、前記開口部の底部から側壁の所定の高さにまでチタンとアルミニウムまたはその合金膜との共晶膜を形成する工程とを備えた半導体装置の製造方法。

【請求項5】 反応防止膜が、チタンの窒化膜、酸化膜または塗装化膜であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 第1のチタン膜、反応防止膜、第1のアルミニウムまたはその合金膜および第2のアルミニウムまたはその合金膜の形成方法が、スパッタ法であることを特徴とする請求項4または5記載の半導体装置の製造方法。

【請求項7】 第1のチタン膜から第1のアルミニウムまたはその合金膜を形成するまでの全工程を、大気暴露することなく連続的に行うこととする請求項4ないし6のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関し、特に層間絶縁膜に形成された開口部の側壁に形成された導電層の構造とその製造方法に関するものである。

【0002】

【従来の技術】半導体装置（特にLSI）の高集成化に伴い、その内部配線が微細化して、各内部配線間の絶縁的な接続に用いられる開口部（例えば、半導体基板との上部に形成された導電層との接続孔であるコンタクトホール）のアスペクト比は増大する一方である。

【0003】このような高アスペクト比開口部（以下、コンタクトホールと記す。）に対し、従来のスパッタ法により導電層であるアルミニウムまたはその合金膜（以下、A1膜と記す。）を形成すると、図9に示すようにコンタクトホール4の内部でA1膜13に段切れ14が生じ、回路が正常に動作しないという問題があった。

【0004】このような問題を解決するために、高温アルミスパッタ技術が開発された。図12は、従来の高温アルミスパッタ技術によりA1膜11が形成された半導体装置の断面図である。図において、1は半導体基板（以下、基板と記す。）、2は不純物並散層、3は層間絶縁膜、4はコンタクトホール、5はチタン膜（以下、Ti膜と記す。）、6はチタンシリサイド層、7は窒化チタン膜（以下、TiN膜と記す。）、8はチタンとアルミニウムまたはその合金との共晶膜（以下、共晶膜と記す。）、11はA1膜である。

【0005】また、従来の半導体装置の製造方法は、基板1の主表面に不純物並散層2と層間絶縁膜3とコンタクトホール4とを形成した後、コンタクトホール4の内部を含む全面にスパッタ法によりTi膜5とTiN膜7とを形成する。次に熱処理を行い、コンタクトホール4の底部に形成されたTi膜5と基板1とを反応させ、チタンシリサイド層6を形成した後、TiN膜7の上層にスパッタ法によりTi膜9とA1膜12とを形成する（図10参照）。

【0006】次に基板1を高温に加熱しながら全面に入バッタ法によりA1膜11を形成する。この時、A1膜11、12は融点近くに加熱されているため液状化し始める。また、同時にTi膜9とA1膜12とが共晶反応を起こし、A1膜11がこの反応に加担し始めると濡れ性が向上して移動しやすくなりコンタクトホール4に進む（図11参照）。そして最終的にはコンタクトホール4を埋め込み、表面はA1膜11の表面張力により平坦化されて、図12に示す形状となる。

【0007】

【発明が解決しようとする課題】しかしながら、従来の高温アルミスパッタ技術では、A1膜12とTi膜9との共晶反応が少ないと、A1膜11がコンタクトホール

4へ進むまでに共晶反応が停止し、図13に示すように

特開平9-213656

(3)

3

コンタクトホール4の埋め込みが不完全となる。また、共晶反応が過剰に進むと、A1膜11の大部分が共晶膜8となり移動するA1膜11が少なくなり、かつ部分的に共晶膜8が過剰になるとこれが壁となりA1膜11がコンタクトホール4に移動するのを妨げる。従って、図14に示すようにコンタクトホールの埋め込みが不完全となる。このように、共晶反応の制御が難しく精度良く埋め込みを行うことが困難であった。

【0008】この発明は、上記のような問題点を解決するためになされたもので、高アスペクト比開口部に導電層を精度良く埋め込むことができる半導体装置の構造とその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、下部導電層の上層に層間絶縁膜が形成され、前記層間絶縁膜に開口部が形成され、前記開口部に導電層を埋め込んで前記下部導電層と電気的に接続された上部導電層を備えた半導体装置であって、前記上部導電層が、前記開口部の底部から側壁の所定の高さにまで形成されたチタンとアルミニウムまたはその合金との共晶膜と、前記開口部の側壁の所定の高さから前記層間絶縁膜の上面にかけて下層から順に形成された第1のチタン膜と前記第1のチタン膜とアルミニウムまたはその合金との共晶反応を防止する反応防止膜との積層膜と、前記導電層と前記共晶膜との上層に形成された第1のアルミニウムまたはその合金膜とで構成されている。

【0010】この発明の請求項2に係る半導体装置は、請求項1において、反応防止膜が、チタンの窒化膜、酸化膜または窒酸化膜である。

【0011】この発明の請求項3に係る半導体装置は、請求項1または2において、層間絶縁膜の上層には第2のチタン膜が、開口部の底部に露出している下部導電層の表層部にはチタンシリサイド層がそれぞれ形成され、前記第2のチタン膜と前記チタンシリサイド層との上層にはチタン窒化膜が形成され、前記チタン窒化膜の上層に積層膜および共晶膜が形成されている。

【0012】この発明の請求項4に係る半導体装置の製造方法は、下部導電層の上層に層間絶縁膜を形成する工程と、前記層間絶縁膜の所定の位置に開口部を形成する工程と、前記開口部の内部を含む全面に第1のチタン膜を形成する工程と、前記開口部の側壁の所定の高さから前記層間絶縁膜の上面にかけての前記第1のチタン膜の上層に反応防止膜を形成する工程と、前記第1のチタン膜と前記反応防止膜との上層に第2のアルミニウムまたはその合金膜を形成する工程と、前記第2のアルミニウムまたはその合金膜の上層に第1のアルミニウムまたはその合金膜を形成すると同時に、前記開口部の底部から側壁の所定の高さにまでチタンとアルミニウムまたはその合金膜との共晶膜を形成する工程とを備えている。

【0013】この発明の請求項5に係る半導体装置の

製造方法は、請求項4において、反応防止膜が、チタンの窒化膜、酸化膜または窒酸化膜である。

【0014】この発明の請求項6に係る半導体装置の製造方法は、請求項4または5において、第1のチタン膜、反応防止膜、第1のアルミニウムまたはその合金膜および第2のアルミニウムまたはその合金膜の形成方法が、スパッタ法である。

【0015】この発明の請求項7に係る半導体装置の製造方法は、請求項4ないし6のいずれかにおいて、第1のチタン膜から第1のアルミニウムまたはその合金膜を形成するまでの全工程を、大気暴露することなく連続的に行う。

【0016】

【発明の実施の形態】

実施の形態1 以下、本発明の実施の形態1について、図面を参照して説明する。図1は、実施の形態1に係わる半導体装置の断面図である。図において、1は下部導電層である基板、2は不純物拡散層、3は層間絶縁膜、4は不純物拡散層2の上方の層間絶縁膜3に開口された

コンタクトホール、5は第2のTi膜であるTi膜、6はコンタクトホールの底部に形成されたTi膜（図示せず。）と基板1とが反応して形成したチタンシリサイド層、7はTiN膜、8は共晶膜、9は第1のTi膜であるTi膜、10は反応防止膜であるTiN膜、11は第1のA1膜であるA1膜である。なおチタンシリサイド層6はオーミックコンタクトを形成して基板1とA1膜11とのコンタクト性を良好にし、TiN膜7はコンタクトホールの底部においてA1膜11と基板1との相互作用による接合破壊を防止するためのバリア層であり、共晶膜8は形成時にA1膜11の濡れ性を向上させてコンタクトホール4への埋め込みを良くする。また、TiN膜10は共晶反応を防止する膜であれば酸化チタン膜や窒酸化チタン膜のいずれであってもよい。

【0017】図2～8および図1は、実施の形態1に係る半導体装置の製造方法を工程を追って順次示した半導体装置の断面図である。

【0018】図2に示すように、不純物拡散層2が形成されている基板1の主表面上に層間絶縁膜3を形成し、次に不純物拡散層2の上方の層間絶縁膜3にコンタクトホール4を形成する。

【0019】次に図3に示すように、コンタクトホール4の内部を含む全面に入スパッタ法によりTi膜5（膜厚数10nm）とTiN膜7（膜厚数10～数100nm）とを形成する。

【0020】次に図4に示すように、熱処理（700～800°C）を行い、コンタクトホール4の底部に形成されたTi膜5と基板1とを反応させ、チタンシリサイド層6を形成する。

【0021】次に図5に示すように、TiN膜7の上層にスパッタ法によりTi膜9（膜厚数10nm）を形成

(4)

特開平9-213656

5

する。

【0022】次に図6に示すように、Ti膜9の上層に通常スパッタ法によりTiN膜10を形成する。この時通常スパッタ法は段差被覆性が不十分であるので、膜厚を小さくすること（例えば5nm以下）によりコンタクトホール4の内部では側壁の所定の高さ以上の上部のみに成膜される。

【0023】次に図7に示すように、全面にスパッタ法により第2のA1膜であるA1膜12（膜厚数100nm）を形成する。

【0024】次に図8に示すように、基板1を高温（約500°C）に加熱しながら全面にスパッタ法によりA1膜11（膜厚数100nm）を形成する。この時、A1膜11は、A1膜12とTi膜9との共晶反応による濡れ性の向上と加熱による液状化とによりコンタクトホール4に込み、最終的にはコンタクトホール4を埋め込み、表面はA1膜11の表面張力により平坦化されて、図1に示す形状となる。なお、TiN膜10が形成されているので、共晶反応は、コンタクトホール4側壁一定高さ以下の、Ti膜9が露出している部分のみで生じる（共晶膜8）。

【0025】本実施の形態1における成膜条件を以下に示す。

Ti膜形成条件

| | |
|--------|----------------------|
| DCパワー | 数kW |
| プロセスガス | Ar 数10SCCM |
| 圧力 | 数10 ⁻³ Pa |

TiN膜形成条件

| | |
|--------|-------------------------------|
| DCパワー | 数kW |
| プロセスガス | Ar/N ₂ 数10/数10SCCM |
| 圧力 | 数10 ⁻³ Pa |

A1膜形成条件

| | |
|--------|----------------------|
| DCパワー | 数kW |
| プロセスガス | Ar 数10SCCM |
| 圧力 | 数10 ⁻³ Pa |

【0026】以上のように、反応防止膜であるTiN膜10を層間絶縁膜3の上面とコンタクトホール4内部の側壁の上部とに選択的に形成したので、コンタクトホール4内部の露出しているTi膜9のみがA1膜12と反応する。従って、過剰な共晶反応を防止できる。また反応するTi膜9の存在部分が限定されているので、その部分のTi膜9の膜厚を制御する事により反応するTi膜を制御できる。従って、共晶反応の制御が可能になりコンタクトホールをA1膜11で精度よく埋め込むことができる。

【0027】なお、Ti膜5、9とTiN膜7との形成において通常スパッタ法では段差被覆性が不十分であるので、段差被覆性を改善するためにコリメーションスパッタ法を用いた。また、実施の形態1では本発明をコンタクトホールに用いたが、高アスペクト比開口部であれ

6

ば、下層と上層との導電層間の接続孔であるヴィアホールについても同様に適応できる。

【0028】

【発明の効果】この発明の請求項1に係わる半導体装置においては、開口部の側壁の所定の高さから層間絶縁膜の上面にかけての第1のチタン膜の上層に反応防止膜を形成しているので、チタンとアルミニウムまたはその合金との共晶反応の制御が可能になり、開口部への上部導電層の埋め込み精度が向上する。

【0029】この発明の請求項2に係わる半導体装置においては、反応防止膜をチタンの窒化膜、酸化膜または窒酸化膜としたので、共晶反応を完全に防止できる。

【0030】この発明の請求項3に係わる半導体装置においては、下部導電層とチタンとアルミニウムまたはその合金との共晶膜との間にチタンの窒化膜が形成されているので、下部導電層とアルミニウムとの相互反応を抑制して接合破壊を防止できる。

【0031】この発明の請求項4に係わる半導体装置の製造方法においては、開口部の側壁の所定の高さから層間絶縁膜の上面にかけての第1のチタン膜の上層に反応防止膜を形成した後、チタン膜とアルミニウムまたはその合金との共晶反応を起としているので、反応するTi膜の制御ができ、その結果共晶反応の制御が可能になり、開口部への上部導電層の埋め込み精度が向上する。

【0032】この発明の請求項5に係わる半導体装置の製造方法においては、反応防止膜をチタンの窒化膜、酸化膜または窒酸化膜としたので、下層のチタン膜と上層のアルミニウムまたはその合金膜との共晶反応を完全に防止できる。

【0033】この発明の請求項6に係わる半導体装置の製造方法においては、各膜をスパッタ法で形成したので、精度よく成膜できる。

【0034】この発明の請求項7に係わる半導体装置の製造方法においては、大気露露することなく連続的に行うので、各膜の表面に自然酸化膜が形成されない。従って、成膜反応や共晶反応が妨害されることがない。

【図面の簡単な説明】

【図1】この発明の実施の形態1に係わる半導体装置を説明するための断面図である。

【図2】この発明の実施の形態1に係わる半導体装置の製造方法の一工程を説明するための断面図である。

【図3】この発明の実施の形態1に係わる半導体装置の製造方法の一工程を説明するための断面図である。

【図4】この発明の実施の形態1に係わる半導体装置の製造方法の一工程を説明するための断面図である。

【図5】この発明の実施の形態1に係わる半導体装置の製造方法の一工程を説明するための断面図である。

【図6】この発明の実施の形態1に係わる半導体装置の製造方法の一工程を説明するための断面図である。

【図7】この発明の実施の形態1に係わる半導体装置の製造方法の一工程を説明するための断面図である。

(5)

特開平9-213656

7

の製造方法の一工程を説明するための断面図である。

【図8】 この発明の実施の形態1に係る半導体装置の製造方法の一工程を説明するための断面図である。

【図9】 従来例に係る半導体装置を説明するための断面図である。

【図10】 従来例に係る半導体装置の製造方法の一工程を説明するための断面図である。

【図11】 従来例に係る半導体装置の製造方法の一工程を説明するための断面図である。

【図12】 従来例に係る半導体装置を説明するため*10

*の断面図である。

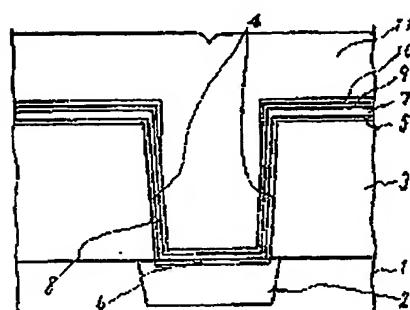
【図13】 従来例に係る半導体装置を説明するための断面図である。

【図14】 従来例に係る半導体装置を説明するための断面図である。

【符号の説明】

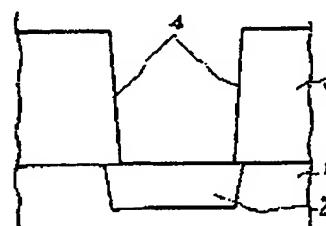
1 基板、3 層間絶縁膜、4 コンタクトホール、5 第2のTi膜、6 チタンシリサイト層、7 TiN膜、8 共晶膜、10 TiN膜、11 第1のAl膜、12 第2のAl膜。

【図1】

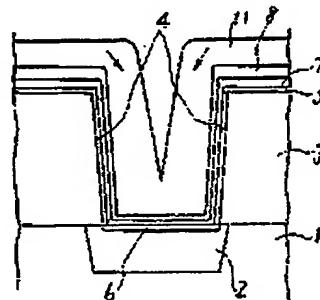


1:基板
3:層間絶縁膜
4:コンタクトホール
5:第2のTi膜
6:チタンシリサイト層
7:TiN膜
8:共晶膜
9:第1のTi膜
10:TiN膜
11:第1のAl膜

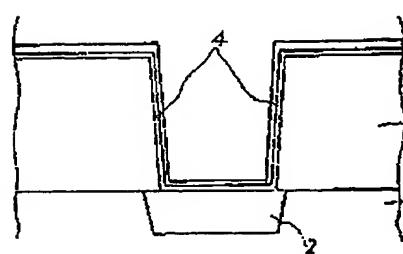
【図2】



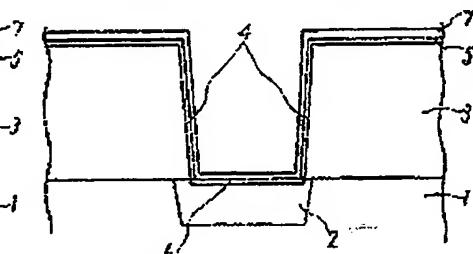
【図11】



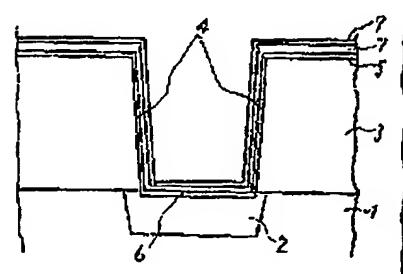
【図3】



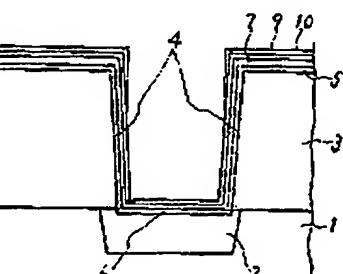
【図4】



【図5】



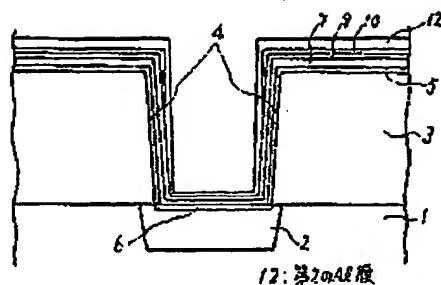
【図6】



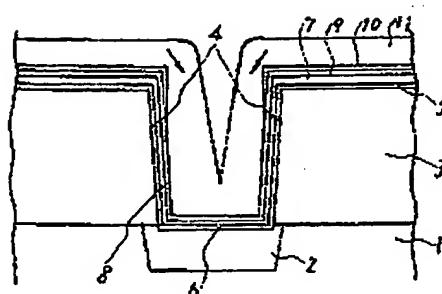
(6)

特開平9-213656

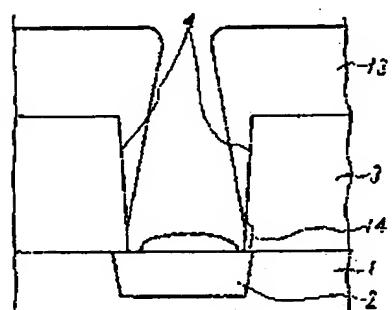
【図7】



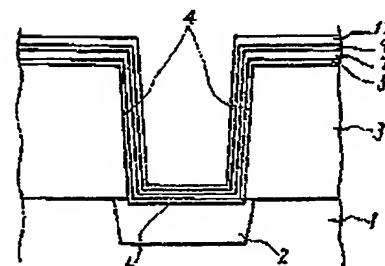
【図8】



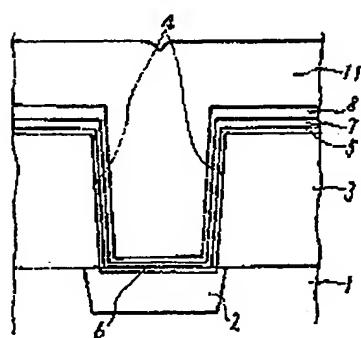
【図9】



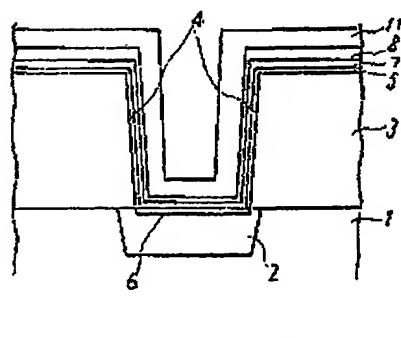
【図10】



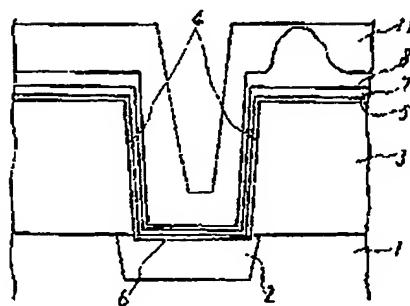
【図12】



【図13】



【図14】



(7)

特開平9-213656

フロントページの続き

(51)Int.Cl.*

識別記号

序内整理番号

F I

H 01 L 21/99

技術表示箇所

D

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.